

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

F&S - 475 KR
OA ref 2

특 1999-0031801

Correspond to US 2001/0012702

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/12

(11) 공개번호 특 1999-0031801
(43) 공개일자 1999년 05월 06일

(21) 출원번호 10-1997-0052638
(22) 출원일자 1997년 10월 14일

(71) 출원인 삼성전자 주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416

(72) 발명자 김현재

(74) 대리인 경기도 성남시 분당구 수내동 27 양지한양 520동 1601호
권석희, 노민식, 이영필

설사첨구 : 있음

(54) 실리콘막의 결정화 방법 및 이를 이용한 박막 트랜지스터-액정표시장치(TFT-LCD)의 제조방법

요약

우수한 특성의 다결정 실리콘막을 형성할 수 있는 실리콘막의 결정화방법에 대해 개시되어 있다. 이 결정화방법에 의하면 먼저, 기판 상에 비정질 실리콘막을 형성한다. 이 비정질 실리콘막 위에 레이저 빔을 반사시킬 수 있는 반사막 패턴을 형성한다. 다음에, 이 비정질 실리콘막에 레이저를 조사함으로써 실리콘막을 결정화시킨다. 이 반사막 패턴은 박막 트랜지스터의 채널이 형성될 부분의 상기 비정질 실리콘막을 노출시키는 모양으로 형성한다. 반사막 패턴을 형성하기 전에, 비정질 실리콘막을 섬(island) 모양으로 패터닝하면 단결정 수준으로 실리콘막을 결정화시킬 수 있다.

도표도

도 3a

도 3b

도면의 주요한 설명

도 1은 증래의 레이저 머닐링을 이용한 실리콘막의 결정화 방법을 설명하기 위한 단면도이다.

도 2는 LCD 패널을 도시한 도면이다.

도 3a 내지 도 3c는 본 발명의 제1 실시예에 의한 실리콘막의 결정화 방법을 설명하기 위한 단면도들이다.

도 4는 본 발명의 제1 실시예에 의해 결정화된 실리콘막의 상태를 평면도로 나타낸 것이다.

도 5는 본 발명에 사용되는 레이저 결정화 장비를 간략하게 도시한 것

도 6a 내지 도 6c는 본 발명의 제2 실시예에 의한 실리콘막의 결정화 방법을 설명하기 위한 도면들이다.

도 7 내지 도 9는 섬모양으로 패터닝된 비정질 실리콘막 패턴의 예를 도시한 것이다.

도 10은 본 발명의 제2 실시예의 결정화방법을 이용하여 형성된 실리콘막을 TFT의 채널로 이용하는 예를 나타낸 것이다.

도 11은 다중채널 방식을 이용하여 TFT를 형성한 예를 나타낸 것이다.

* 도면의 주요 부분에 대한 부호의 설명 *

30, 40....유리기판 32, 60....비정질 실리콘막

34....반사막 패턴 36....포토레지스트

65....시드(seed) 32a, 60a....결정화된 실리콘막

40....균질기(Homogenizer) 42....반사경(mirror)

46....진공 햄버(chamber)

발명의 상세한 설명

증명의 목적

증명이 속하는 기술 및 그 분야의 종래기술

본 발명은 실리콘막의 결정화 방법 및 액정 표시장치의 제조방법에 관한 것으로, 특히 레이저(laser)를 이용하여 우수한 특성을 갖는 다결정 실리콘막을 얻을 수 있는 실리콘막의 결정화 방법 및 이를 이용한 박막 트랜지스터 액정 표시장치의 제조방법에 관한 것이다.

액정 표시소자(Liquid Crystal Display; LCD)의 스위칭 소자로 박막 트랜지스터(Thin Film Transistor; 이하, TFT로 청할)가 주로 사용되고 있다. 이 TFT의 채널(channel)로 사용되는 반도체층을 다결정 실리콘으로 제작하기 위하여 기판 상에 형성된 비정질 상태의 실리콘막을 결정화해야 할 필요가 있다.

비정질 상태의 실리콘막을 결정화하는 방법으로 가장 널리 사용되는 방법은, 액시머 레이저(excimer laser)라는 펄스화된 자외선(UV beam)을 사용하는 어닐링(annealing)이다. 레이저를 이용한 어닐링(annealing)은 1976년 Khaibullin이 처음 개발한 이후로 대규모 집적화로(Large Scale Integration; LSI) 공정에서 불순물 이온을 주입한 실리콘의 어닐링을 목적으로 개발되어 오다가, 대면적의 표시소자 개발에 적용되면서 비교적 균열에 와서 중소형 저온 다결정 실리콘 TFT-LCD 제품의 제조에 응용되기 시작하였다. 비정질실리콘 박막을 레이저를 사용하여 어닐링함으로써 양질의 다결정실리콘을 제작하는 이 방법은, 녹는 온도가 높음에도 불구하고 짧은 시간에 열처리되기 때문에 기판에 손상을 주지 않는 장점을 가지고 있다.

비정질 실리콘에서 다결정 실리콘으로의 상(phase) 변화는 결정이 형성되는 '핵생성(nucleation)'과, 생성된 결정의 크기가 자라나는 '성장(growth)'이라는 두 가지의 물리적인 메커니즘(mechanism)을 통해 이루어진다. 따라서, 비정질 실리콘의 완전 융융(鎔融) 후 핵생성이 일어나는 것을 억제하고 성장이 일어나게 하는 것이 가능하다면, 이 방법이 다결정 실리콘의 결정성을 좋게 할 수 있는 이상적인 방법이 될 수 있다.

도 1은 증래의 레이저 어닐링을 이용한 실리콘막의 결정화 방법을 설명하기 위한 단면도이다. 도면 참조 부호 '10'은 투명기판을, '15'는 상기 투명기판(10) 상에 형성된 비정질 상태의 실리콘막을 각각 나타낸다.

증래의 실리콘막의 결정화 방법에 따르면, 단순히 레이저를 비정질의 실리콘막(15)에 조사하여 실리콘막을 일시적으로 융융 및 냉각시킴으로써 결정화를 수행한다. 이 때, 조사되는 레이저의 에너지 밀도에 따라 비정질 실리콘막의 융융 정도 및 그에 따른 결정화의 상태가 변화한다. 예를 들어, 조사하는 레이저의 에너지 밀도를 높이면 비정질 실리콘막은 표면으로 부터 더 깊은 곳까지 융융되는데, 에너지 밀도가 증가할수록 융융되는 양이 많아지며, 소정의 임계 에너지밀도 이상에서는 비정질 실리콘막이 완전히 융융되어 버린다. 그리고, 결정화되는 다결정실리콘의 그레인의 크기(grain size)는 조사되는 레이저의 에너지 밀도에 비례한다(즉, 비정질 실리콘막이 많이 융융될수록 그레인 크기가 증가된다). 이는 임계 에너지 이하의 에너지 밀도에서는 비정질 실리콘막의 위쪽(표면쪽)만이 융융되었다가 냉각되는 과정을 통해 작은 그레인으로 결정화되는 것을 의미한다. 임계 에너지 밀도에 근접한 레이저의 에너지 밀도에서는 아래쪽의 소량의 비정질 실리콘막만 남고 나머지는 거의 융융된 상태(nearly complete melting)이므로 융융되지 않는 실리콘막이 시드(seed)로서 작용하여, 결국 큰 그레인으로 결정화된다. 다만, 레이저의 에너지 밀도를 상기에서 언급한 임계 에너지밀도 이상으로 하여 비정질 실리콘막이 완전히 융융되면, 시드로서 작용할 아무런 실리콘막도 남지 않으며, 불규칙한 핵형성 및 결정성장에 의거하여 결정화가 일어나기 때문에 오히려 그레인의 크기가 감소되어 버린다.

일반적으로, 우수한 성능의 TFT 소자를 제조하기 위해서는 다결정실리콘의 결정립의 크기가 커야 하고, 결정의 결합밀도 및 표면 거칠기(surface roughness)가 작아야 한다. 특히, 결정립계와 결정 결합들은 전하운반자의 이동에 의해 산란인자로 작용하여 전계효과 이동도를 떨어뜨리는 주요한 원인이 된다. 때문에 증래에는 레이저의 에너지밀도를 임계 에너지밀도에 가능한 한 근접하도록 하여 최소한의 시드 역할을 담당할 비정질 실리콘막만이 남도록 하는 방법을 사용하였다.

그러나, 증래의 방법에서 큰 그레인을 얻을 수 있는 에너지 밀도의 구간이 매우 좁기 때문에, 공정수행 시의 허용 가능한 마마진(margin)의 폭이 매우 작은 어려움이 있었다. 또한, 결정화한 다결정실리콘에 있어서 그레인이 임의로 위치하기 때문에, 이러한 조건의 결정화영역을 예컨대 TFT의 채널영역이 형성되는 반도체패턴으로 사용할 경우에는 균일한 소자특성을 확보하기 어려운 문제점도 있었다.

한편, LCD는 도 2에 도시된 바와 같이, 화소부와 구동회로부의 두 부분으로 이루어져 있다.

도 2를 참조하면, LCD 패널은, 화상을 표시하기 위한 곳으로서 박막 트랜지스터와 화소전극이 배열되어 있는 화소부와, 상기 화소부의 주변에 위치하여 상기 박막 트랜지스터를 구동하여 상기 화소부에 화상을 구현하기 위한 구동회로부로 구성된다.

상기한 저온 다결정실리콘 TFT-LCD에 있어서 TFT를 만들어 주는 곳은 화소부와 주변의 구동회로부의 두 부분이다. 이 중, 화소부의 TFT는 20 ~ 50m/Vs 정도의 이동도(mobility)를 만족시키면 대면적 구동에 별 무리가 없으므로 그다지 우수한 특성을 요구하지는 않는다. 이 때에도 비정질실리콘에 비해 이동도가 여전히 최소 15배 이상이 된다. 막의 균일도(uniformity)의 경우에는, 항상 존재하는 누설전류 문제만 100 구조나 다중 - 게이트(Multi-gate) 구조 등의 새로운 공정을 적용하면 해결할 수 있으며, 오히려 결정화시킬 때의 에너지 밀도 창(energy density window)이 늘어나므로 균일도가 좋아질 확률이 높다.

반면, 구동회로 쪽에는 N채널 TFT와 P채널 TFT를 모두 형성하여야 하고, 이 TFT의 특성은 LCD 패널의 구동에 있어서 결정적인 영향을 미친다. 따라서, 실리콘막의 결정이 단결정에 가까울수록 유리하며, 막의 균일도 또한 매우 중요하다. 그러나, 증래에는 화소부의 TFT나 구동회로부의 TFT에 사용되는 실리콘막에 차별을 두지 않고 하나의 실리콘막으로 형성함으로써, TFT의 특성에 큰 영향을 미치는 결정성이 중요시

되는 구동회로쪽의 TFT나 결정성보다는 균일도가 중요한 화소쪽의 TFT를 모두 만족시키기가 어려웠다. 따라서, 보다 나은 특성의 LCD를 제조하기가 어려웠다.

발명이 이루고자 하는 기술적 효과

따라서, 본 발명이 이루고자 하는 기술적 과제는, 결정의 균일도와 특성이 우수한 실리콘막을 형성할 수 있는 실리콘막의 결정화방법을 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 우수한 특성의 TFT-LCD를 제조할 수 있는 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 과제를 이루기 위하여 본 발명에 의한 실리콘막의 결정화 방법은, 기판 상에 비정질 실리콘막을 형성하는 단계; 상기 비정질 실리콘막 상에 반사막 패턴을 형성하는 단계; 및 상기 비정질 실리콘막에 레이저를 조사함으로써 상기 실리콘막을 결정화시키는 단계를 구비하는 것을 특징으로 한다.

상기 반사막 패턴은 박막 트랜지스터의 채널이 형성될 부분의 상기 비정질 실리콘막을 노출시키는 모양으로 형성하는데, 예를 들어 금속을 이용하여 500A ~ 700A 정도의 두께로 형성하는 것이 바람직하다.

그리고, 상기 실리콘막을 결정화하는 단계에서는 상기 기판의 온도를 500°C 이하로 유지시키고, 비스캔(Non-Scan) 방식의 다중 펄스(Multiple pulse) 방식을 사용하는 것이 바람직하다.

상기 과제를 이루기 위하여 본 발명에 의한 실리콘막의 다른 결정화방법은, 기판 상에 비정질 실리콘막을 형성하는 단계; 상기 비정질 실리콘막을 섬(island) 모양으로 패터닝하는 단계; 및 상기 비정질 실리콘막에 레이저를 조사함으로써 상기 실리콘막을 결정화시키는 단계를 구비하는 것을 특징으로 한다.

상기 실리콘막을 결정화하는 단계 전에 패터닝된 상기 비정질 실리콘막 상에, 시드(seed)가 될 부분을 뒀는 마스크 층을 금속, 포토레지스트 및 실리콘막 중의 어느 하나로 형성하는 것이 바람직하다. 그리고, 상기 비정질 실리콘막을 패터닝하는 단계에서는 패터닝된 비정질 실리콘막의 한쪽의 길이가 5㎛ 이하가 되도록 패터닝하는 것이 바람직하다.

상기 다른 과제를 이루기 위하여 본 발명에 의한 TFT-LCD의 제조방법은, 화소부 및 구동회로부를 포함하는 기판의 전면에, 비정질 실리콘막을 형성하는 단계; 상기 비정질 실리콘막을 패터닝하되, 상기 구동회로부의 비정질 실리콘막은 섬모양으로 패터닝하는 단계; 상기 비정질 실리콘막에 레이저를 조사함으로써 상기 실리콘막을 결정화시키는 단계; 및 결정화된 상기 실리콘막을 도우프시킴으로써, 화소부 및 구동회로부에 각각 박막 트랜지스터의 소오스/드레인을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 실리콘막을 결정화하는 단계 전에 패터닝된 상기 비정질 실리콘막 상에, 시드(seed)가 될 부분을 뒀는 마스크 층을, 예를 들어 금속, 포토레지스트 및 실리콘막 중의 어느 하나로 형성하는 것이 바람직하다.

그리고, 상기 비정질 실리콘막을 패터닝하는 단계에서는 패터닝된 비정질 실리콘막의 한쪽의 길이가 5㎛ 이하가 되도록 패터닝하는 것이 바람직하다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 3a 내지 도 3c는 본 발명의 제1 실시예에 의한 실리콘막의 결정화 방법을 설명하기 위한 단면도들이다.

도 3a를 참조하면, 기판(30) 상에 비정질실리콘을 증착하여 소정 두께의 비정질 상태의 실리콘막(32)을 형성한 다음, 상기 비정질 상태의 실리콘막(32)의 전면에 금속을 증착하여 금속막(34)을 형성한다. 상기 금속막(34)은 LCD 제조에 흔히 사용되는 금속으로서, 예를 들어 TFT의 게이트전극 물질로 사용되는 알루미늄(Al)-네오지움(Nd)과 같은 알루미늄 합금을 사용하여 형성할 수 있으며, 그 두께는 100 ~ 1,000Å 정도가 바람직하다.

도 3b를 참조하면, 통상의 사전공정을 적용하여 상기 금속막(34) 상에 감광막 패턴(36)을 형성한다. 상기 감광막 패턴(36)은 줄무늬(stripe) 모양으로 형성되는데, 박막 트랜지스터의 채널(channel)이 될 부분의 길이와 기판의 최대 가열온도에 따라 그 크기가 결정된다. 감광막 패턴(36)이 형성되지 않은 부분이 채널이 형성될 부분이 된다. 다음에, 상기 감광막 패턴(36)을 마스크로 사용하여 상기 금속막(34)을 패터닝하여 채널이 형성될 부분의 실리콘막(32)을 노출시킨다.

도 3c를 참조하면, 감광막 패턴을 제거한 후, 금속막(34)에 의해 부분적으로 마스킹된 비정질 상태의 실리콘막(32)에 소정 펄스의 레이저를 조사한다. 이 때, 금속막(34)이 형성되어 있지 않은 부분에서는 레이저가 실리콘막에 조사되어 순간적으로 비정질 상태의 실리콘막이 완전 용융된다. 금속막(34)이 형성되어 있는 부분은 조사된 레이저 빔의 95 ~ 100% 정도가 금속막(34)에 의해 반사되므로 실리콘막의 용융이 일어나지 않는다. 실리콘막의 완전 용융후 결정화가 일어나는데, 금속막(34)이 형성되어 있는 부분, 즉 용융되지 않은 실리콘막이 시드(seed) 역할을 하여 금속막(34)의 가장자리와 접하는 실리콘막으로부터 금속막이 형성되어 있지 않은 부분으로 결정의 측면성장이 이루어진다. 따라서, 종래의 단순한 레이저 어닐링에 의한 결정화방법과는 달리 랜덤(random)한 결정방향을 갖는 핵생성(nucleation)이 일어나지 않고, 일정한 결정방향을 갖는 것으로서 성장(growth)이 일어나기 때문에, 결정의 크기가 큰 다결정 상태의 실리콘막(32a)이 형성된다.

도 4는 본 발명의 제1 실시예에 의해 결정화된 실리콘막의 상태를 평면도로 나타낸 것이다. 비정질 상태의 실리콘막(32)과 다결정 상태의 실리콘막(32a)이 줄무늬 모양으로 교대로 형성되어 있으며, 다결정 상태의 실리콘막(32a)의 결정의 크기가 비교적 크고 균일함을 알 수 있다.

도 5는 본 발명에 사용되는 레이저 결정화 장비를 간략하게 도시한 것으로, 도면 참조번호 '40'은 레이저 빔을 균질화하여 텁-햇(Top-Hat) 모양으로 바꾸어주는 균질기(Homogenizer)이고, '42'는 상기 균질기를 통과한 레이저 빔을 반사시켜 기판에 도달하게 하는 반사경(mirror)이고, '44'는 그 표면상에 비정질 실리콘 박막과 패터닝된 금속막이 차례로 적층되어 있는 기판을, 그리고 '46'은 기판의 온도를 일정하게 유지시키기 위한 진공 챔버(chamber)를 나타낸다.

도시된 바와 같이, 본 발명의 레이저 결정화 방법은 기존의 레이저 결정화에 주로 사용되는 스캐닝 모드(scanning mode)를 사용하는 것이 아니라, 레이저 빔과 셈플(기판)이 고정되어 있는 다중 펄스(Multiple-Pulse) 방식을 사용한다. 이 때, 레이저 빔에 노출되는 부분은 금속막이 형성되지 않은 영역이고, 금속막 패턴이 형성되어 있는 부분은 레이저 빔이 95 ~ 100% 반사되어 거의 조사되지 않는다. 따라서, 레이저 어닐링 후에도 금속막 패턴이 형성되어 있는 실리콘막은 여전히 비정질 상태로 남아 있게 된다.

한편, 본 발명에 의한 레이저 결정화 방법에서는 레이저 어닐링 전의 기판의 온도가 중요한 변수중의 하나이다. 결정의 출현성장이 충분히 일어나고 금속막 마스크가 없는 부분의 온도가 충분히 높아 핵생성(nucleation)을 방지할 수 있을 정도로 기판온도가 유지되어야 하는데, 바람직하게는 기판의 온도가 500°C 이하로 유지되어야 한다. 이렇게 하여 얻어진 다결정실리콘 박막은 이동도(mobility)가 100cm²/Vs 정도로서, 이 다결정실리콘 박막을 이용하면 현재 비정질실리콘 또는 고온에서 고상결정화(Solid Phase Crystallization; SPC)로 얻어진 다결정실리콘으로 제작된 박막 트랜지스터들에 비해 매우 우수한 특성을 갖는 박막 트랜지스터를 제작할 수 있다.

도 6a 내지 도 6c는 본 발명의 제2 실시예에 의한 실리콘막의 결정화 방법을 설명하기 위한 도면들로서, 결정화가 진행되는 과정을 도시적으로 나타낸 것이다.

먼저, 기판 위에 예컨대 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PE-CVD) 방법을 이용하여 비정질 실리콘을 소정도(매) 증착한다. 다음에, 이 비정질 실리콘막을 패터닝하는 데, 도 7 내지 도 9에 도시된 바와 같이 사각의 섬모양 또는 이의 변형된 형태로 패터닝한다. 다음에, 시드(seed) 부분을 한정하기 위하여, 패터닝된 비정질 실리콘막 위에 금속막을 형성한 후 시드(seed) 부분만을 남고 나머지 부분의 금속막은 제거되도록 패터닝한다. 다음에, 금속막 마스크가 형성된 비정질 상태의 실리콘막에 소정 펄스의 레이저를 조사한다. 이 때, 조사되는 레이저의 에너지 밀도는 반드시 패터닝된 섬이 완전히 녹는 조건을 선택하여야 한다. 시드(seed)가 될 부분을 한정하는 방법은 상기한 방법 외에도, 금속막 대신에 포토레지스트를 이용하거나, 섬의 한쪽 끝을 녹지 않도록 레이저를 조사함으로써 시드(seed)로 작용할 수 있도록 할 수도 있다.

섬모양의 비정질 실리콘막의 완전녹음(completely melting)이 일어난 후 시드(seed)로부터 결정화가 일어나는데, 이를 도 6a 내지 도 6c를 참조하여 상세히 설명하면 다음과 같다.

먼저, 도 6a 및 도 6b를 참조하면, 녹지 않은 섬의 끝, 즉 시드(seed)가 되는 부분(65)에서부터 결정화가 일어나면서 시드(seed)가 될 부분을 통과한 결정방향으로 결정화가 진행된다. 결정화의 초기에는 시드(seed)를 중심으로 경쟁적인(competative) 수많은 '성장(growth)'이 동시에 진행된다.

다음, 도 6c를 참조하면, 섬의 모서리를 지나면서 대부분의 성장(growth)들은 소멸되고 몇 개의 살아남은 '성장(growth)'이 진행된다. 즉, 여러 가지 결정방향으로 성장하던 결정들이 좁은 목부분(참조번호 'A' 부분)을 지나면서 목을 통과한 결정방향으로만 '60b' 부분에 성장을 완료하게 된다. 마지막으로 모서리를 지나면서 단지 하나의 '성장(growth)'만이 살아남아 최종적으로 결정화가 이루어진다. 따라서, 섬의 중심부 쪽에서는 하나의 '성장(growth)'만 이루어지므로 단결정 상태로 결정화가 이루어진다.

도 7 내지 도 9는 본 발명의 제2 실시예에서 섬모양으로 패터닝된 비정질 상태의 실리콘막의 여러 가지 모양들의 예를 도시한 것이다.

도 7의 패턴은 패터닝하기 쉬운 모양이라는 장점이 있는 반면 최종적으로 실리콘이 단결정상태로 결정화될 확률이 다소 낮다. 그러나, 패턴의 크기와 시드(seed)의 크기를 적절히 조절하면 패턴의 중심부 쪽에서는 좋은 결정을 얻을 수 있다.

도 8과 도 9의 패턴들은 결정화가 진행되는 과정에서 '경쟁적인 성장(competitive growth)'에 의한 그레인의 선택(selection)이 일어나서 최종적으로 한 결정방향을 갖는 단결정 상태의 결정이 생성될 확률이 매우 높다.

상술한 바와 같이 본 발명의 제2 실시예에 의한 실리콘막의 결정화방법에 의하면 '랜덤한 핵생성'을 억제하고 '경쟁적인 성장'을 유도함으로써 단결정 수준의 특성이 우수한 실리콘막을 형성할 수 있다. 따라서, 이 방법을 TFT-LCD의 제조공정에 적용하면 TFT-LCD의 특성을 향상시킬 수 있다.

보다 구체적으로는, 결정의 균일도가 중요한 화소부의 TFT는 기존의 결정화방법을 사용한 실리콘막으로 형성하고, 우수한 특성의 다결정 실리콘막을 요구하는 구동회로부의 TFT는 본 발명의 제2 실시예의 결정화방법을 이용하여 결정화한 실리콘막으로 형성한다. 즉, 기존의 다결정실리콘 TFT-LCD 제조공정을 그대로 적용하되, TFT의 채널로 사용되는 반도체막을 형성하는 공정에서 화소부는 기존의 결정화공정을 그대로 사용하거나, 경우에 따라서는 본 발명의 제2 실시예의 방법을 사용할 수도 있다. 반면에, 구동회로부에서는 기판 상에 비정질 실리콘막을 증착 → 섬모양으로 패터닝 → 시드(seed)가 될 부분 한정 → 레이저를 조사하여 결정화로 이루어지는 공정을 사용하여 단결정 수준의 실리콘막을 형성한다. 기존에는 실리콘막을 결정화한 후에 패터닝하였으나, 본 발명에서는 패터닝한 후에 결정화를 진행하

는 과정이 다르다.

도 10은 본 발명의 제2 실시예의 결정화방법을 이용하여 형성된 실리콘막을 TFT의 채널로 이용하는 예를 나타낸 것으로, 시드(seed) 부분에서는 몇 개의 성장이 이루어지므로 결정의 크기가 작지만, 실제 TFT의 채널이 되는 부분에서는 하나의 성장만이 이루어지므로 결정의 상태가 단결정 수준이 된다.

상기한 본 발명의 제2 실시예에 의한 결정화 방법에서, 패터닝된 섬의 크기가 적정 수준 이상으로 커질 경우 경쟁적인 성장보다는 랜덤한 핵생성이 일어나 결정의 크기가 작아질 가능성이 높다. 따라서, 단결정 수준의 결정화가 이루어지도록 하기 위해서는 패터닝된 섬의 크기가 저온에서 랜덤(random)한 핵생성을 일으키지 않을 정도로 충분히 작아야 하는데, 패턴의 한쪽 길이가 5 μ m 미하인 것이 바람직하다. 그러나, 이 방법을 TFT-LCD에 적용할 경우 TFT의 채널을 커버(cover)할 정도의 크기는 되어야 한다.

실제 TFT에 있어서 채널의 폭(width)보다는 길이(length)가 더 중요한데, 노말(normal)하게는 길이는 약 7 μ m이고 폭은 20 μ m 정도까지 된다. 본 발명의 제2 실시예를 이용하여 얻어진 실리콘막은 단결정 또는 그 이상의 수준의 결정성을 가졌을을 고려할 때 실제 채널은 이보다 훨씬 작은 사이즈로도 가능하다. 이와 같이하면 채널의 길이는 문제가 없지만 폭은 여전히 문제가 되는데, 다중채널(multi-channel)을 이용하면 해결할 수 있다.

도 11은 다중채널 방식을 이용하여 TFT를 형성한 예를 나타낸 것으로, 이 방법을 이용하면 전체적인 면적은 다소 늘어나지만 채널을 이루는 실리콘막 패턴들의 결정상태가 단결정 수준임을 고려하면 TFT의 특성이 대단히 향상된다고 할 수 있다.

이상 본 발명을 상세히 설명하였으나 본 발명은 이에 한정되지 않으며, 본 발명이 속하는 기술적 사상내에서 당분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함은 물론이다.

발명의 효과

상술한 본 발명에 의한 실리콘막의 결정화방법에 따르면, 비정질 실리콘막 위에 금속막과 같이 레이저빔을 반사시킬 수 있는 막질로 이루어진 마스크를 형성한 다음 레이저를 조사하여 결정화시킨다. 이렇게 하면, 금속막 마스크가 형성되어 있는 부분에서는 레이저빔이 반사되어 결정화가 이루어지지 않고, 마스크가 없는 부분에서만 레이저가 조사되어 결정화가 이루어진다. 따라서, 결정성이 좋고 결정구조가 균일한 양질의 다결정실리콘막을 얻을 수 있다. 이렇게 하여 얻어진 다결정실리콘막은 이동도가 높기 때문에, 이를 이용하면 우수한 특성을 갖는 박막 트랜지스터를 제작할 수 있다.

또한, 상기 반사막 패턴을 형성하기 전에 비정질 실리콘막을 섬모양으로 패터닝하고 상기 반사막 패턴을 이용하여 시드(seed) 부분을 한정한 후 결정화를 진행하면, 랜덤한 핵생성을 억제하고 경쟁적인 성장을 유도할 수 있으므로 결정이 큰 단결정 수준의 실리콘막을 형성할 수 있다. 이 방법을 TFT-LCD의 구동회로부에 적용하면, 우수한 TFT특성이 요구되는 구동회로부의 특성을 만족시킬 수 있으므로 특성이 우수한 TFT-LCD를 제조할 수 있다.

(5) 청구의 범위

청구항 1. 기판 상에 비정질 실리콘막을 형성하는 단계;

상기 비정질 실리콘막 상에 반사막 패턴을 형성하는 단계; 및

상기 비정질 실리콘막에 레이저를 조사함으로써 상기 실리콘막을 결정화시키는 단계를 구비하는 것을 특징으로 하는 실리콘막의 결정화방법.

청구항 2. 제 1 항에 있어서, 상기 반사막 패턴은,

박막 트랜지스터의 채널이 형성될 부분의 상기 비정질 실리콘막을 노출시키는 모양으로 형성하는 것을 특징으로 하는 실리콘막의 결정화방법.

청구항 3. 제 1 항에 있어서, 상기 반사막 패턴은,

금속으로 형성하는 것을 특징으로 하는 실리콘막의 결정화방법.

청구항 4. 제 1 항에 있어서, 상기 반사막 패턴은,

100A ~ 1,000A 정도의 두께로 형성하는 것을 특징으로 하는 실리콘막의 결정화방법.

청구항 5. 제 1 항에 있어서, 상기 실리콘막을 결정화하는 단계에서,

상기 기판의 온도를 500°C 미하로 유지시키는 것을 특징으로 하는 실리콘막의 결정화방법.

청구항 6. 제 1 항에 있어서, 상기 실리콘막을 결정화하는 단계는,

비 스캔(Non-Scan) 방식의 다중 펄스(Multiple pulse) 방식을 사용하여 이루어지는 것을 특징으로 하는 실리콘막의 결정화방법.

청구항 7. 기판 상에 비정질 실리콘막을 형성하는 단계;

상기 비정질 실리콘막을 섬(island) 모양으로 패터닝하는 단계; 및

상기 비정질 실리콘막에 레이저를 조사함으로써 상기 실리콘막을 결정화시키는 단계를 구비하는 것을 특징으로 하는 실리콘막의 결정화방법.

청구항 8. 제 7 항에 있어서, 상기 실리콘막을 결정화하는 단계 전에,

패터닝된 상기 비정질 실리콘막 상에, 시드(seed)가 될 부분을 덮는 마스크 층을 형성하는 단계를 더 구비하는 것을 특징으로 하는 실리콘막의 결정화방법.

청구항 9. 제 8 항에 있어서, 상기 마스크층은,

금속, 포토레지스트 및 실리콘막 중의 어느 하나로 형성하는 것을 특징으로 하는 실리콘막의 결정화방법.

청구항 10. 제 7 항에 있어서, 상기 비정질 실리콘막을 패터닝하는 단계에서,

패터닝된 비정질 실리콘막의 한쪽의 길이가 $5\mu\text{m}$ 미하가 되도록 패터닝하는 것을 특징으로 하는 실리콘막의 결정화방법.

청구항 11. 화소부 및 구동회로부를 포함하는 기판의 전면에, 비정질 실리콘막을 형성하는 단계; 상기 비정질 실리콘막을 패터닝하되, 상기 구동회로부의 비정질 실리콘막은 섬모양으로 패터닝하는 단계;

상기 비정질 실리콘막에 레이저를 조사함으로써 상기 실리콘막을 결정화시키는 단계; 및 결정화된 상기 실리콘막을 도우프시킬로써, 화소부 및 구동회로부에 각각 박막 트랜지스터의 소오스/드레인을 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터-액정 표시장치의 제조방법.

청구항 12. 제 11 항에 있어서, 상기 실리콘막을 결정화하는 단계 전에,

패터닝된 상기 비정질 실리콘막 상에, 시드(seed)가 될 부분을 덮는 마스크 층을 형성하는 단계를 더 구비하는 것을 특징으로 하는 박막 트랜지스터-액정 표시장치의 제조방법.

청구항 13. 제 12 항에 있어서, 상기 마스크층은,

금속, 포토레지스트 및 실리콘막 중의 어느 하나로 형성하는 것을 특징으로 하는 박막 트랜지스터-액정 표시장치의 제조방법.

청구항 14. 제 11 항에 있어서, 상기 비정질 실리콘막을 패터닝하는 단계에서,

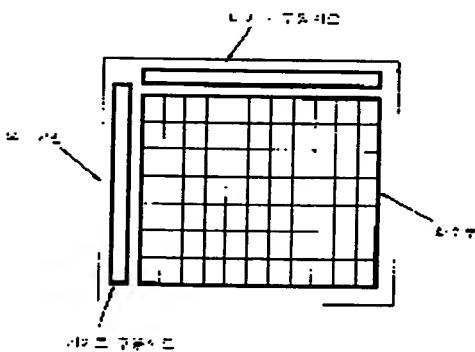
패터닝된 비정질 실리콘막의 한쪽의 길이가 $5\mu\text{m}$ 미하가 되도록 패터닝하는 것을 특징으로 하는 박막 트랜지스터-액정 표시장치의 제조방법.

도면

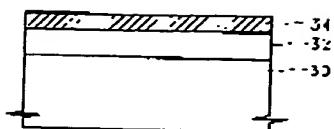
도면1



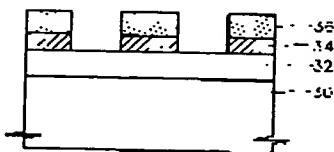
도면2



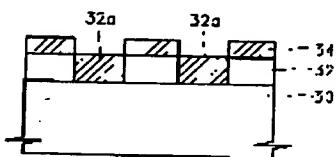
도면 3a



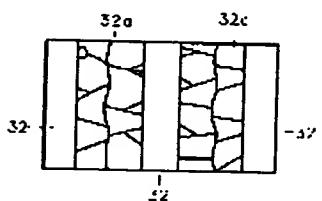
도면 3b



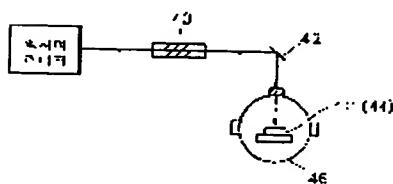
도면 3c



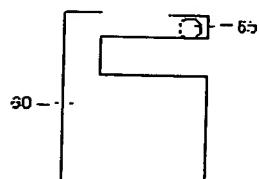
도면 4



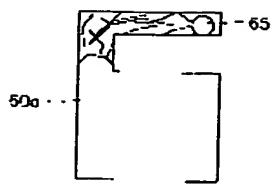
도면 5



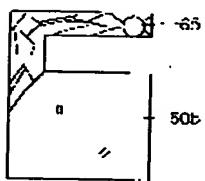
도면 6a



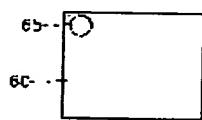
도면 65



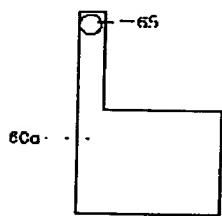
도면 66



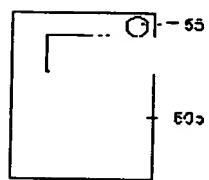
도면 67



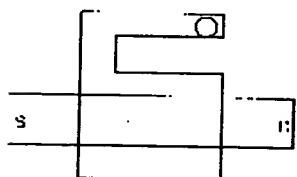
도면 68



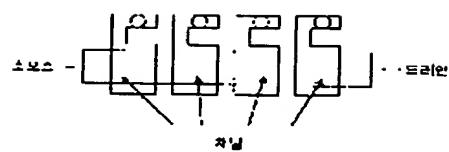
도면 69



도면 70

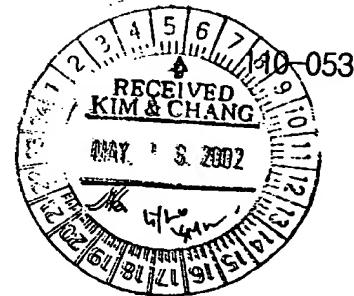


도면11



발송번호 : 9-5-2002-017036926
 발송일자 : 2002.05.16
 제출기일 : 2002.07.16

수신 : 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)
 장수길 귀하



특허청
 의견제출통지서

출원인 명칭 닛본 텐기 가부시끼가이샤 (출원인코드: 519980958731)
 주소 일본국 도쿄도 미나도꾸 시바 5조메 7방 1고

대리인 성명 장수길 외 1명
 주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)

출원번호 10-2000-0040063

발명의 명칭 기판상의 소망하는 위치에 반도체막을 형성하는 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지해 오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상 제2항의 규정에 의하여 특허를 받을 수 없습니다.

본원의 청구항 제1항-제10항에 기재된 발명은 비정질 반도체막이 형성된 기판에 소정 패턴을 가지는 광마스크를 배치하고 비정질반도체막이 조사된 부분을 결정 반도체막으로 변화시키도록 레이저광을 조사하고 절연막을 형성하는 단계로 이루어진 제조방법에 관한 것이며, 청구항 제11항-제14항에 기재된 발명은 청구항 제1항-제10항에 기재된 발명에 관련된 기술로서 기판, 제1특성 및 제2특성을 가지는 반도체층, 절연층으로 이루어진 반도체막의 구조에 관한 것이지만, 한국공개특허공보 제99-23628호(1999.3.25공개, 인용예1)에는 액시머 레이저 빔을 비정질 Si박막에 조사하여 Si박막을 용융 재결정화하는 방법에 있어서 Si박막을 조사하는 액시머 레이저 빔의 광로에 반복 패턴이 형성된 마스크를 삽입하여 Si박막면위에 조사되는 빔을 마스크패턴으로 에너지를 변조하여 조사하는 것에 의해 면내의 평면방향의 온도 변화를 제어함과 동시에 Si 박막이 형성된 기판을 레이저 조사와 동기하여 차례로 이동시켜 다결정 Si를 형성하여 다결정 Si박막 트랜지스터의 고성능화와 고균일화를 실현하는 생산성이 우수한 결정일자가 큰 다결정 Si박막의 제조방법이 기재되어 있고, 한국공개특허공보 제99-31801호(1999.5.6공개, 인용예2)에는 비정질실리콘막에 금속막과 같이 레이저빔을 반사시킬 수 있는 막질로 이루어진 마스크를 형성한 다음 레이저를 조사하여 결정화함으로써 금속막 마스크가 형성되어 있는 부분에서는 레이저빔이 반사되어 결정화가 이루어지지 않고 마스크가 없는 부분에서만 레이저가 조사되어 결정화가 이루어지게 되며 결정성이 좋고 결정구조가 균일한 양질의 박막을 얻을 수 있는 방법이 기재되어 있으므로 본원의 전항에 기재된 발명은 인용예1,2의 결합에 의하여 용이하게 발명할 수 있는 것으로 판단됩니다.

[첨부]

첨부 1 한국공개특허공보 제99-23628호(1999.3.25공개, 인용예1)
 첨부 2 한국공개특허공보 제99-31801호(1999.5.6공개, 인용예2) 끝.

2002.05.16

특허청

심사4국

반도체1 심사담당관실

심사관 김종찬



<<안내>>

문의사항이 있으시면 ☎ 042-481-5722 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터